

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年  8月29日  
Date of Application:

出願番号      特願2003-209618  
Application Number:

[ST. 10/C] :      [JP2003-209618]

出願人      株式会社東芝  
Applicant(s):

2003年  9月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫

【書類名】 特許願  
【整理番号】 A000300733  
【提出日】 平成15年 8月29日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明の名称】 半導体装置およびその製造方法  
【請求項の数】 15  
【発明者】  
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横  
浜事業所内  
【氏名】 伊藤 貴之  
【特許出願人】  
【識別番号】 000003078  
【氏名又は名称】 株式会社 東芝  
【代理人】  
【識別番号】 100058479  
【弁理士】  
【氏名又は名称】 鈴江 武彦  
【電話番号】 03-3502-3181  
【選任した代理人】  
【識別番号】 100091351  
【弁理士】  
【氏名又は名称】 河野 哲  
【選任した代理人】  
【識別番号】 100088683  
【弁理士】  
【氏名又は名称】 中村 誠

**【選任した代理人】****【識別番号】** 100108855**【弁理士】****【氏名又は名称】** 蔵田 昌俊**【選任した代理人】****【識別番号】** 100084618**【弁理士】****【氏名又は名称】** 村松 貞男**【選任した代理人】****【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の一主面に電気的に不活性な第1の不純物を全面的に注入する工程と、

前記第1の不純物が注入された前記半導体基板に光による加熱処理を施す工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記加熱処理を施す工程の前に所定の導電型を有する電気的に活性な第2の不純物を前記半導体基板に注入し、前記第1の不純物および前記第2の不純物が注入された前記半導体基板に前記加熱処理を施すことにより、前記第2の不純物を活性化させることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 3】 半導体基板の一主面上にゲート絶縁膜を有するゲート電極を設ける工程と、

前記ゲート電極が設けられた前記半導体基板の一主面に電気的に不活性な第1の不純物を全面的に注入するとともに、前記ゲート電極をマスクとして、前記半導体基板の前記ゲート電極に隣接する領域に、所定の導電型を有する電気的に活性な第2の不純物を注入する工程と、

前記第1の不純物および前記第2の不純物が注入された前記半導体基板に光による加熱処理を施すことにより前記第2の不純物を活性化させて、前記所定の導電型を有する浅いソース・ドレイン拡散層を形成する工程と、

前記ゲート電極の周囲にゲート側壁膜を設ける工程と、

前記ゲート側壁膜が設けられた前記半導体基板の一主面に前記第1の不純物を全面的に注入するとともに、前記ゲート電極および前記ゲート側壁膜をマスクとして、前記半導体基板の前記ゲート側壁膜に隣接する領域に、前記第2の不純物を注入する工程と、

前記第1の不純物および前記第2の不純物が注入された前記半導体基板に前記加熱処理を施すことにより前記第2の不純物を活性化させて、前記所定の導電型

を有するとともに、前記浅いソース・ドレイン拡散層に連続する深いソース・ドレイン拡散層を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

**【請求項4】** 前記第1の不純物を、前記半導体基板の表層部に $1 \times 10^{19} \text{ cm}^{-3}$ 以上の濃度でイオン注入することを特徴とする請求項1～3のうちのいずれかに記載の半導体装置の製造方法。

**【請求項5】** 前記第1の不純物として、IV-B族の元素のうち少なくとも1種類の元素を用いることを特徴とする請求項1～4のうちのいずれかに記載の半導体装置の製造方法。

**【請求項6】** 前記第1の不純物として、C、Si、Ge、Sn、およびPbのうち少なくとも1種類の元素を用いることを特徴とする請求項5に記載の半導体装置の製造方法。

**【請求項7】** 前記半導体基板に前記加熱処理を施す前に前記半導体基板を600°C以下の所定の温度に予備加熱するとともに、発光時間が100 msec以下、かつ、照射エネルギー密度が100 J/cm<sup>2</sup>以下のフラッシュランプアニール法により前記半導体基板に前記加熱処理を施すことを特徴とする請求項1～6のうちのいずれかに記載の半導体装置の製造方法。

**【請求項8】** 前記半導体基板の予備加熱を、ホットプレート、加熱ランプ、およびレーザー光線のうちの少なくとも1つを用いて行うことを特徴とする請求項7に記載の半導体装置の製造方法。

**【請求項9】** 前記加熱ランプとして、水素ランプ、キセノンランプ、およびハロゲンランプのいずれかを用いることを特徴とする請求項8に記載の半導体装置の製造方法。

**【請求項10】** 電気的に不活性な第1の不純物が全面的に注入された後、光による加熱処理が施された半導体基板を具備することを特徴とする半導体装置。

**【請求項11】** 前記半導体基板は、前記第1の不純物および所定の導電型を有する電気的に活性な第2の不純物が注入された後、前記加熱処理が施されて前記第2の不純物が活性化されていることを特徴とする請求項10に記載の半導

体装置。

【請求項12】 電気的に不活性な第1の不純物が全面的に注入されるとともに所定の導電型を有する電気的に活性な第2の不純物が注入された後、光による加熱処理が施されて前記第2の不純物が活性化されることにより、前記所定の導電型を有するソース・ドレイン拡散層が形成された半導体基板と、

ゲート絶縁膜およびゲート側壁膜を有して前記ソース・ドレイン拡散層上に設けられたゲート電極と、

を具備することを特徴とする半導体装置。

【請求項13】 前記第1の不純物が、前記半導体基板の表層部に  $1 \times 10^{19} \text{ cm}^{-3}$  以上の濃度でイオン注入されたことを特徴とする請求項10～12のうちのいずれかに記載の半導体装置。

【請求項14】 前記第1の不純物は、IV-B族の元素のうちの少なくとも1種類の元素であることを特徴とする請求項10～13のうちのいずれかに記載の半導体装置。

【請求項15】 前記第1の不純物は、C、Si、Ge、Sn、およびPbのうちの少なくとも1種類の元素であることを特徴とする請求項14に記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、加熱処理が施される半導体基板を具備する半導体装置およびその製造方法に係り、特に加熱処理によって表層部に不純物の拡散領域等が形成される半導体基板を具備する半導体装置およびその製造方法に関する。

##### 【0002】

##### 【従来の技術】

LSIの性能向上は、その集積度を高めること、すなわち半導体を構成する素子の微細化を図ることにより実現できる。近年、集積回路は益々大規模化しており、これに伴って素子の微細化もさらに勢いを増して進んでいる。そして、素子寸法が縮小化されるのに伴い、浅いpn接合の形成はその重要性を増している。

### 【0003】

浅い不純物拡散領域を形成する方法としては、例えばシリコン（Si）基板中に所定のイオンを低加速エネルギーで注入した後、Si基板に最適化されたアニール処理を施す方法が一般的である（例えば特許文献1～6参照）。しかしながら、イオン注入で一般に使用されているp型ドーパントであるボロン（B）、あるいはn型ドーパントであるリン（P）や砒素（As）は、Si基板中の拡散係数が大きい。このため、不純物を活性化させるための加熱処理に、たとえアニールに要する時間が短くて済む、ハロゲンランプを用いる急速熱アニール（Rapid Thermal Anneal：RTA）処理を採用しても、不純物がSi基板中の内方および外方に拡散してしまう。このため、イオン注入された不純物において所望の分布プロファイルを得ることが困難である。また、不純物拡散を抑制するためにアニール温度を下げると、不純物の活性化率が大きく低下する問題が起きる。このように、一般のRTA処理では、例えば接合深さが20nm以下の浅い低抵抗拡散層を形成することは困難である。

### 【0004】

そこで近年、これらの課題を解決するために、不純物の活性化に必要なエネルギーを瞬時に供給する手法として、レーザーアニールおよびフラッシュランプアニールが検討されている。しかしながら、レーザー光線は指向性が良いため、干渉が起こり易く、かつ、照射エリアも限定される。このため、大面積を有するウエーハ（基板）に対する照射エネルギーの均一性および再現性を保つことが難しい。また、レーザー光線は強度の調整が難しく、アニールに適する強度を得難い。このため、単位時間あるいは単位面積当たりのエネルギー密度が高くなり過ぎて、半導体基板表面を溶かしてしまうおそれがある。このように、一般のレーザーアニール法では、不純物活性化処理後の半導体基板表面のモフォロジーが劣化するおそれが指摘されている。

### 【0005】

他方、最近注目されているフラッシュランプアニール法では、熱源であるXeフラッシュランプの発光が、数100μmsec～数msecの極めて短い時間内で完了する。これにより、半導体層に注入された不純物イオンの分布を殆ど変化させ

ることなく、不純物イオンを活性化させることが可能である。また、大面積を有する半導体基板全面に対して加熱処理を一括して施すことができ、スループットが高い。しかしながら、フラッシュランプアニール法では、広い照射面積および高速昇降温可能という特徴が、半導体基板に大きな熱応力を生じさせることが懸念される。特に、poly-Si、SiO<sub>2</sub>、SiN等の複数種類の膜によって表面上にパターンが構成されたウェーハの場合には、各膜種間で加熱むらが発生しやすい。このような加熱むらが発生すると、転位や欠陥等の損傷がウェーハに生じやすい。これにより、生産歩留まりが低下しやすい。このような場合、基板予備加熱温度あるいはフラッシュランプの照射エネルギーを下げることにより、基板への損傷を回避することはできるが、不純物の十分な活性化は期待できなくなる。このように、一般のフラッシュランプアニール法では、半導体素子の製造過程におけるプロセスウィンドウ（プロセスマージン）が狭いことが問題となっている。

#### 【0006】

##### 【特許文献1】

特開2002-141298号公報

#### 【0007】

##### 【特許文献2】

特開2002-246328号公報

#### 【0008】

##### 【特許文献3】

特開2002-198322号公報

#### 【0009】

##### 【特許文献4】

特開2002-175772号公報

#### 【0010】

##### 【特許文献5】

特開平10-26772号公報

#### 【0011】

##### 【特許文献6】

U S P 6 , 4 1 7 , 5 1 5 号公報

【0012】

【発明が解決しようとする課題】

前述したように、基板の表層部に不純物拡散層を形成する場合、加熱処理の方法に拘らず基板に様々な問題が生じるおそれがある。特に、熱応力による変形や損傷が基板に生じたり、加熱むらによる品質劣化が基板等に生じたりする問題は、基板に不純物拡散層を形成する場合に限らず、基板に加熱処理を施す際にいつでも起こり得る。

【0013】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、電気的特性が殆ど劣化されること無く、加熱処理に用いられる光の吸収効率の向上および均一化が図られ、加熱むらや熱応力の発生を抑制されて光による加熱処理が施された半導体基板を具備し、品質、信頼性、および歩留まりが向上された半導体装置を提供することにある。また、電気的特性が殆ど劣化されること無く、加熱処理に用いられる光の吸収効率の向上および均一化が図られて加熱むらや熱応力の発生を抑制された半導体基板に、光による加熱処理により良質なソース・ドレイン拡散層が形成されて、品質および信頼性が向上されたトランジスタを具備するとともに、歩留まりが向上された半導体装置を提供することにある。それとともに、それらのような半導体装置を効率良く容易に製造できる半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】

前記課題を解決するために、本発明の一態様に係る半導体装置の製造方法は、半導体基板の一主面に電気的に不活性な第1の不純物を全面的に注入する工程と、前記第1の不純物が注入された前記半導体基板に光による加熱処理を施す工程と、を含むことを特徴とするものである。

【0015】

この半導体装置の製造方法においては、半導体基板に光による加熱処理を施すのに先立って、電気的に不活性な第1の不純物を半導体基板に全面的に注入する

。すなわち、半導体基板に光による加熱処理を施すのに先立って、半導体基板等の導電型および導電率に影響を及ぼすおそれがある第1の不純物を、半導体基板に全面的に注入する。これにより、半導体基板等の電気的特性を殆ど劣化させること無く、半導体基板の光の吸収係数や屈折率を全面的に略均一化した状態で、半導体基板に光による加熱処理を施すことができる。すなわち、半導体基板等の電気的特性を殆ど劣化させること無く、加熱効率の差を殆ど無くして、加熱むらや局所的な加熱による熱応力の発生を抑制した状態で半導体基板に光による加熱処理を施すことができる。また、半導体基板に第1の不純物を注入することによって半導体基板をアモルファス化させ、光の吸収効率（吸収量）を増大させることができる。これにより、加熱処理に必要な光の照射エネルギーを低減させ、半導体基板内に発生する熱応力を抑制して光による加熱処理を施すことができる。

#### 【0016】

このように、本発明の一態様に係る半導体装置の製造方法は、半導体基板等の電気的特性を殆ど劣化させること無く、かつ、半導体基板に熱応力による変形や損傷が生じたり、加熱むらなどによる品質劣化が生じたりするおそれを殆ど無くして、光による加熱処理を半導体基板に効率良く容易に施すことができる。

#### 【0017】

また、前記課題を解決するために、本発明の他の態様に係る半導体装置の製造方法は、半導体基板の一主面上にゲート絶縁膜を有するゲート電極を設ける工程と、前記ゲート電極が設けられた前記半導体基板の一主面に電気的に不活性な第1の不純物を全面的に注入するとともに、前記ゲート電極をマスクとして、前記半導体基板の前記ゲート電極に隣接する領域に、所定の導電型を有する電気的に活性な第2の不純物を注入する工程と、前記第1の不純物および前記第2の不純物が注入された前記半導体基板に光による加熱処理を施すことにより前記第2の不純物を活性化させて、前記所定の導電型を有する浅いソース・ドレイン拡散層を形成する工程と、前記ゲート電極の周囲にゲート側壁膜を設ける工程と、前記ゲート側壁膜が設けられた前記半導体基板の一主面に前記第1の不純物を全面的に注入するとともに、前記ゲート電極および前記ゲート側壁膜をマスクとして、

前記半導体基板の前記ゲート側壁膜に隣接する領域に、前記第2の不純物を注入する工程と、前記第1の不純物および前記第2の不純物が注入された前記半導体基板に前記加熱処理を施すことにより前記第2の不純物を活性化させて、前記所定の導電型を有するとともに、前記浅いソース・ドレイン拡散層に連続する深いソース・ドレイン拡散層を形成する工程と、を含むことを特徴とするものである。

### 【0018】

この半導体装置の製造方法においては、半導体基板に光による加熱処理を施して浅いソース・ドレイン拡散層および深いソース・ドレイン拡散層を形成するのに先立って、電気的に不活性な第1の不純物を半導体基板に全面的に注入するとともに、半導体基板の所定の領域に電気的に活性な第2の不純物を注入する。すなわち、半導体基板に光による加熱処理を施して浅いソース・ドレイン拡散層および深いソース・ドレイン拡散層を形成するのに先立って、半導体基板等の導電型および導電率に影響を及ぼすおそれがある殆ど無い第1の不純物を半導体基板に全面的に注入するとともに、半導体基板の所定の領域に電気的に活性な第2の不純物を注入する。これにより、半導体基板等の電気的特性を殆ど劣化させること無く、半導体基板の光の吸収係数や屈折率を全面的に略均一化した状態で、半導体基板に光による加熱処理を施して、ソース・ドレイン拡散層を形成することができる。すなわち、半導体基板等の電気的特性を殆ど劣化させること無く、加熱効率の差を殆ど無くして、加熱むらや局所的な加熱による熱応力の発生を抑制した状態で半導体基板に光による加熱処理を施して、ソース・ドレイン拡散層を形成することができる。

### 【0019】

また、半導体基板に第1の不純物を注入することによって半導体基板をアモルファス化させ、光の吸収効率（吸収量）を増大させることができる。これにより、加熱処理に必要な光の照射エネルギーを低減させ、半導体基板内に発生する熱応力を抑制して光による加熱処理を施して、ソース・ドレイン拡散層を形成することができる。すなわち、半導体基板内に発生する熱応力を抑制しつつ、電気的に活性な第2の不純物を効率良く活性化させて、良質なソース・ドレイン拡散層

を形成することができる。

#### 【0020】

このように、本発明の他の態様に係る半導体装置の製造方法は、半導体基板等の電気的特性を殆ど劣化させること無く、かつ、半導体基板に熱応力による変形や損傷が生じたり、加熱むらによる品質劣化が生じたりするおそれを殆ど無くして、光による加熱処理により半導体基板に良質なソース・ドレイン拡散層を効率良く容易に形成することができる。

#### 【0021】

また、前記課題を解決するために、本発明の他の態様に係る半導体装置は、電気的に不活性な第1の不純物が全面的に注入された後、光による加熱処理が施された半導体基板を具備することを特徴とするものである。

#### 【0022】

この半導体装置においては、半導体基板に光による加熱処理が施されるのに先立って、電気的に不活性な第1の不純物が半導体基板に全面的に注入されている。すなわち、半導体基板に光による加熱処理を施すのに先立って、半導体基板等の導電型および導電率に影響を及ぼすおそれが殆ど無い第1の不純物が、半導体基板に全面的に注入されている。これにより、半導体基板等は、その電気的特性が殆ど劣化されること無く、光の吸収係数や屈折率が全面的に略均一化された状態で光による加熱処理が施される。すなわち、半導体基板等は、その電気的特性を殆ど劣化されること無く、加熱効率の差を殆ど無くされて、加熱むらや局所的な加熱による熱応力の発生を抑制された状態で光による加熱処理が施される。また、半導体基板は、第1の不純物が注入されることによってアモルファス化され、光の吸収効率（吸収量）が増大する。これにより、加熱処理に必要な光の照射エネルギーを低減させて、半導体基板内に発生する熱応力を抑制することができる。

#### 【0023】

このように、本発明の他の態様に係る半導体装置は、これが備える半導体基板等の電気的特性が殆ど劣化されたり、熱応力による変形や損傷が生じたり、あるいは加熱むらによる品質劣化が生じたりするおそれを殆ど無くされて光による加

熱処理が施されており、品質、信頼性、および歩留まりが向上されている。

#### 【0024】

さらに、前記課題を解決するために、本発明の他の態様に係る半導体装置は、電気的に不活性な第1の不純物が全面的に注入されるとともに所定の導電型を有する電気的に活性な第2の不純物が注入された後、光による加熱処理が施されて前記第2の不純物が活性化されることにより、前記所定の導電型を有するソース・ドレイン拡散層が形成された半導体基板と、ゲート絶縁膜およびゲート側壁膜を有して前記ソース・ドレイン拡散層上に設けられたゲート電極と、を具備することを特徴とするものである。

#### 【0025】

この半導体装置においては、半導体基板に電気的に不活性な第1の不純物が全面的に注入されるとともに、所定の導電型を有する電気的に活性な第2の不純物が注入された後、光による加熱処理が施されて第2の不純物が活性化され、ソース・ドレイン拡散層が形成されている。すなわち、半導体基板に光による加熱処理が施されてソース・ドレイン拡散層が形成されるのに先立って、半導体基板等の導電型および導電率に影響を及ぼすおそれがある第1の不純物を半導体基板に全面的に注入されるとともに、半導体基板の所定の領域に電気的に活性な第2の不純物を注入されている。これにより、半導体基板等は、その電気的特性が殆ど劣化されること無く、光の吸収係数や屈折率が全面的に略均一化された状態で光による加熱処理が施されて、ソース・ドレイン拡散層が形成される。すなわち、半導体基板等は、その電気的特性を殆ど劣化されること無く、加熱効率の差を殆ど無くされて、加熱むらや局所的な加熱による熱応力の発生を抑制された状態で光による加熱処理が施されて、ソース・ドレイン拡散層が形成される。

#### 【0026】

また、半導体基板は、第1の不純物が注入されることによってアモルファス化され、光の吸収効率（吸収量）が増大する。これにより、加熱処理に必要な光の照射エネルギーを低減させて、半導体基板内に発生する熱応力を抑制することができる。すなわち、半導体基板内に発生する熱応力が抑制されつつ、電気的に活性な第2の不純物が効率良く活性化されて、良質なソース・ドレイン拡散層が形

成されている。

### 【0027】

このように、本発明の他の態様に係る半導体装置は、これが備える半導体基板等の電気的特性を殆ど劣化させること無く、かつ、半導体基板に熱応力による変形や損傷が生じたり、加熱むらによる品質劣化が生じたりするおそれを殆ど無くされて光による加熱処理が施されて、良質なソース・ドレイン拡散層が形成されている。

### 【0028】

#### 【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

### 【0029】

図1～図3は、本発明の一実施形態に係る半導体装置の製造方法を示す工程断面図である。図4は、従来技術に係る加熱処理が施された比較例としてのシリコン基板の断面を示すTEM写真である。図5は、一実施形態に係る基板予備加熱温度とフラッシュランプの照射エネルギー密度との関係における適正なプロセス条件を示す図である。図6は、比較例に係る基板予備加熱温度とフラッシュランプの照射エネルギー密度との関係における適正なプロセス条件を示す図である。

### 【0030】

本実施形態では、半導体基板に放射光エネルギーによる加熱処理工程を行う前に、電気的不活性な不純物を半導体基板の全面に対して少なくとも1回イオン注入する。この際、電気的不活性な不純物として、例えばC、Si、Ge、Sn、およびPb等のIV-B族の元素のうち少なくとも1種類の元素を用いる。これにより、半導体基板の転位、欠陥、モフォロジー劣化等のダメージを防ぐ。以下、半導体基板上にCMOSトランジスタを製造する場合を例に挙げて、具体的に説明する。

### 【0031】

先ず、図1(a)に示すように、通常のCMOSトランジスタの製造方法に従って、半導体基板(シリコン基板)1のnMOS領域1aに図示しないp型well層を、またpMOS領域1bに同じく図示しないn型well層をそれぞれ形成する

。続けて、nMOS領域1aおよびpMOS領域1bに素子分離領域2を形成する。この後、素子分離領域2が形成されたシリコン基板（Si基板）1の表面を覆って、例えばシリコン酸化膜（SiO<sub>2</sub>膜）からなるゲート絶縁膜3を設ける。

### 【0032】

次に、図1（b）に示すように、ゲート絶縁膜3上の所定の位置にゲート電極となる多結晶シリコン膜（ポリシリコン膜）4を成膜する。続けて、例えばRIE法によりゲート電極4およびゲート絶縁膜3を選択的に加工して、所定の形状に形成する。これにより、シリコン基板1のnMOS領域1a上およびpMOS領域1b上に、ゲート電極4が1個ずつ形成される。

### 【0033】

次に、図1（c）に示すように、各ゲート電極4の上部およびシリコン基板1の表層部に、シリコン基板1の導電型および導電率に影響を及ぼすおそれがあまり無い、電気的に不活性な第1の不純物としてのゲルマニウム（Ge）を全面的にイオン注入する。この際、ゲルマニウムイオン（Ge<sup>+</sup>）は、その加速エネルギーを約1keVに、またドーザ量を約 $5 \times 10^{14} \text{ cm}^{-2}$ に設定される。また、注入されるゲルマニウムの濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上に設定される。これにより、ゲート電極4の上部およびシリコン基板1の表層部に、第1のGe注入領域5が形成される。

### 【0034】

次に、図2（a）に示すように、Ge注入領域5が形成されたpMOS領域1bおよびpMOS領域1b上のゲート電極4を覆って、レジスト膜6を成膜する。続けて、Ge注入領域5が形成されたnMOS領域1a上のゲート電極4をマスクとして、シリコン基板1のnMOS領域1aの表層部に、第2の不純物としてのn型不純物となる砒素（As）をイオン注入する。この際、砒素イオン（As<sup>+</sup>）は、その加速エネルギーを約1keVに、またドーザ量を約 $1 \times 10^{15} \text{ cm}^{-2}$ に設定される。このイオン注入により、ゲート電極4に隣接するnMOS領域1aの表層部に、Asを含有するn型の浅い不純物領域7が形成される。この後、pMOS領域1b上のレジスト膜6をエッチングなどにより除去する。

### 【0035】

次に、図2（b）に示すように、表層部にn型不純物を含有する浅い不純物領域7が形成されたnMOS領域1aおよびnMOS領域1a上のゲート電極4を覆って、レジスト膜8を成膜する。続けて、Ge注入領域5が形成されたpMOS領域1b上のゲート電極4をマスクとして、シリコン基板1のpMOS領域1bの表層部に、第2の不純物としてのp型不純物となるホウ素（B）をイオン注入する。この際、ホウ素イオン（B<sup>+</sup>）は、その加速エネルギーを約0.2keVに、またドーズ量を約 $1 \times 10^{15} \text{ cm}^{-2}$ に設定される。このイオン注入により、ゲート電極4に隣接するpMOS領域1bの表層部に、Bを含有するp型の浅い不純物領域9が形成される。この後、nMOS領域1a上のレジスト膜8をエッチングなどにより除去する。

### 【0036】

次に、図2（c）に示すように、シリコン基板1を予め約400℃まで加熱（基板予備加熱）した状態で、シリコン基板1および各ゲート電極4の表面に向けて図示しないキセノン（Xe）フラッシュランプの光を照射する。これにより、シリコン基板1等にアニール処理を施す。このアニール処理により、nMOS領域1aの表層部にイオン注入されたn型不純物（As）、およびpMOS領域1bの表層部にイオン注入されたp型不純物（B）が、それぞれが活性化される。それとともに、nMOS領域1aの表層部に形成された浅い不純物領域7、およびpMOS領域1bの表層部に形成された浅い不純物領域9の、それぞれの内部の結晶欠陥が修復される。この結果、nMOS領域1aの表層部に、ゲート電極4に隣接するn型の浅いソース・ドレイン拡散層（エクステンション領域）10を得る。それとともに、pMOS領域1bの表層部に、ゲート電極4に隣接するp型浅いソース・ドレイン拡散層11を得る。なお、本実施形態では、前述した基板予備加熱を、図示しないホットプレートにより行うこととする。

### 【0037】

次に、図3（a）に示すように、例えばCVD法により、浅いソース・ドレイン拡散層10、11が形成されたシリコン基板1および各ゲート電極4の表面を覆って、シリコン窒化膜（SiN膜）12およびシリコン酸化膜（SiO<sub>2</sub>膜）

13を順次堆積させる。続けて、例えばRIE法により、SiN膜12およびSiO<sub>2</sub>膜13を各ゲート電極4の側部付近にのみ選択的に残置させる。これにより、各ゲート電極4の側部を覆って、SiN膜12およびSiO<sub>2</sub>膜13の2層構造からなる側壁スペーサ（ゲート側壁膜）14が設けられる。

#### 【0038】

次に、図3（b）に示すように、側壁スペーサ14が設けられた各ゲート電極4の上部およびシリコン基板1の表層部などに、Geを全面的にイオン注入する。この際、ゲルマニウムイオン（Ge<sup>+</sup>）は、その加速エネルギーを約1keVに、またドーズ量を約 $5 \times 10^{14} \text{ cm}^{-2}$ に設定される。また、注入されるゲルマニウムの濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上に設定される。これにより、各ゲート電極4の上部およびシリコン基板1の表層部などに、第2のGe注入領域15が形成される。

#### 【0039】

次に、図3（c）に示すように、各ゲート電極4および側壁スペーサ14などをマスクとして、第2のGe注入領域15が形成されたシリコン基板1のnMOS領域1aおよびpMOS領域1bのそれぞれの表層部に、第3の不純物をイオン注入する。具体的には、nMOS領域1aには、n型不純物となるリン（P）をイオン注入する。この際、リンイオン（P<sup>+</sup>）は、その加速エネルギーを約15keVに、またドーズ量を約 $5 \times 10^{15} \text{ cm}^{-2}$ に設定される。このイオン注入により、nMOS領域1aの表層部のゲート電極4の端部から離間した位置に、Pを含有する深いn型の不純物領域16が形成される。また、このイオン注入により、nMOS領域1a上のゲート電極4および側壁スペーサ14の上部にも、Pがイオン注入される。

#### 【0040】

また、pMOS領域1bには、p型不純物となるホウ素（B）をイオン注入する。この際、ホウ素イオン（B<sup>+</sup>）は、その加速エネルギーを約4keVに、またドーズ量を約 $5 \times 10^{15} \text{ cm}^{-2}$ に設定される。このイオン注入により、pMOS領域1bの表層部のゲート電極4の端部から離間した位置に、Bを含有する深いp型の不純物領域17が形成される。また、このイオン注入により、pMOS

領域1 b 上のゲート電極4 および側壁スペーサ1 4 の上部にも、Bがイオン注入される。

#### 【0041】

次に、図3 (d) に示すように、シリコン基板1を予め約400℃まで加熱（基板予備加熱）した状態で、シリコン基板1および各ゲート電極4の表面に向けて図示しないキセノン(Xe) フラッシュランプの光を照射する。これにより、シリコン基板1等にアニール処理を施す。この際、アニール条件として、Xe フラッシュランプの発光時間（照射時間）、すなわちXe フラッシュランプのパルス幅を約1msに、また照射エネルギー密度を約35J/cm<sup>2</sup>に設定する。このアニール処理により、nMOS領域1 a の表層部にイオン注入されたn型不純物(P)、およびpMOS領域1 b の表層部にイオン注入されたp型不純物(B)が、それぞれが活性化される。それとともに、nMOS領域1 a の表層部に形成されたn型の深い不純物領域1 6、およびpMOS領域1 b の表層部に形成されたp型の深い不純物領域1 7の、それぞれの内部の結晶欠陥が修復される。この結果、nMOS領域1 a の表層部のゲート電極4の端部から離間した位置に、n型の深いソース・ドレイン拡散層1 8が形成される。それとともに、pMOS領域1 b の表層部のゲート電極4の端部から離間した位置に、p型の深いソース・ドレイン拡散層1 9が形成される。なお、本実施形態では、前述した基板予備加熱を、図示しないホットプレートにより行うこととする。

#### 【0042】

以後、図示および詳しい説明は省略するが、例えば常圧CVD法により、成膜温度を約400℃に設定して、各ゲート電極4を覆って、シリコン基板1の表面上に全面的に層間絶縁膜としてのシリコン酸化膜(SiO<sub>2</sub>膜)を形成する。この後、シリコン酸化膜中の所定の箇所に図示しないコンタクトホール等を開孔したり、ソース・ドレイン電極や配線等を形成したりする。これにより、nMOSトランジスタ20 a およびpMOSトランジスタ20 b からなる所望のCMOSトランジスタ20を得る。この後、さらに所定の工程を経て、CMOSトランジスタ20を備える所望の半導体装置を得る。

#### 【0043】

次に、以上説明した本実施形態に係る加熱処理が施された半導体基板と、本実施形態に対する比較例として従来技術に係る加熱処理が施された半導体基板とを比較する。比較例としての半導体基板（シリコン基板）は、前述した本実施形態と異なり、図1（c）および図3（b）に示したGe等のIV-B族元素の全面的なイオン注入工程が省略されている。そして、As、B、P等がイオン注入された後、直ちにXeフラッシュランプの光線が本実施形態と同等の条件下で照射されている。

#### 【0044】

図4に、比較例のサンプルとして、シリコン基板101の断面を図示しない微分干渉顕微鏡および透過型電子顕微鏡（Transmission Electron Microscopy: TEM）によって観察した写真を示す。シリコン基板101の表層部には、能動領域（Active area）102と、シリコン酸化膜（SiO<sub>2</sub>膜）103が埋め込まれた浅溝の素子分離（Shallow Trench Isolation: STI）領域104とからなる、ライン・アンド・スペースパターン（Line/Space pattern）が形成されている。図4に示す写真によれば、シリコン基板101は、転移、積層欠陥、溶融に伴う表面平坦度の劣化など、様々な損傷を受けていることが分かる。これに対して、本実施形態に係る半導体基板（シリコン基板）1のサンプルは、本発明者らが行った観察によれば、図示は省略するが、比較例のシリコン基板101に見られるような損傷は確認されなかった。

#### 【0045】

図5に、本実施形態に係る基板予備加熱温度とフラッシュランプの照射エネルギー密度との関係における適正なプロセス条件（プロセスウィンドウ）を示す。また、図6には、比較例に係る基板予備加熱温度とフラッシュランプの照射エネルギー密度との関係における適正なプロセス条件（プロセスウィンドウ）を示す。これら図5および図6によれば、本実施形態および比較例ともに、基板予備加熱温度を高くするにつれて、不純物の活性化に必要な照射エネルギー密度を低く抑えることができる事が分かる。ところが、基板予備加熱温度を高くするにつれて、転移、欠陥、あるいはクラックなどが基板中に発生する照射エネルギー密度も小さくなる事が分かる。すなわち、本実施形態および比較例ともに、基板

予備加熱温度を高くするにつれて、基板が損傷を受け易くなることが分かる。

#### 【0046】

ただし、図5および図6から明らかなように、本実施形態は、比較例に比べてプロセスウィンドウがはるかに広く、プロセスマージンが大きい。すなわち、本実施形態は、比較例に比べて基板が損傷を受け難く、かつ、不純物を活性化させ易い。また、シリコン基板の面内均一性について本発明者らが行った実験によれば、比較例では拡散層抵抗のばらつきが大きく、 $\sigma$ （標準偏差／平均値×100%）が約10%であった。これに対して、本実施形態では、 $\sigma$ が1%未満に抑えられていることが分かった。以下、この理由について、詳しく考察する。

#### 【0047】

Xeフラッシュランプは、シリコン（Si）の吸収端よりも短波長側である可視光領域を主要な発光領域（ピーク波長領域：約300～500nm）とする白色光ランプである。これに加えて、Xeフラッシュランプは、ミリ秒オーダーで高速昇降温が可能である。このため、Xeフラッシュランプによる加熱効率は、基板の表面状態、すなわち基板および基板上に成膜した膜の材質（光吸收係数）などに大きく依存する。前述した比較例では、単結晶のシリコン（Si）からなるSi基板101上に、素子分離領域104を構成するSiO<sub>2</sub>膜103、ゲート電極となる図示しないpoly-Si層、ならびにゲート電極の側壁スペーサを構成する図示しないSiO<sub>2</sub>膜およびSiN膜などが存在している。このため、Si基板101上の表面状態や光吸收係数などが場所によって異なっている。このような条件下でフラッシュランプアニールを行うと、異種材質間で局所的な温度むらが生じ、熱応力が局所的に発生する。また、Si基板101と素子分離領域104を構成するSiO<sub>2</sub>膜103との屈折率の差異により、SiO<sub>2</sub>膜103がレンズ効果を發揮して、Si基板101を局所的に加熱するおそれもある。これらの理由により、前述した比較例では、Si基板101に転位や積層欠陥等のダメージが入り易いと考えられる。

#### 【0048】

これに対して、本実施形態では、フラッシュランプアニールを行う前に、GeをSi基板1に全面的にイオン注入する。これにより、異種材料間で表面の光吸

吸収係数が略均一化されて、加熱効率の差が縮まると考えられる。それとともに、SiとSiO<sub>2</sub>との屈折率の差異も縮められて、局所的な加熱が抑制されると考えられる。これらにより、Si基板1の面内における熱特性の均一性が向上され、異種材料間での温度差による熱応力の発生が抑制されると考えられる。また、Si基板1の表面は、Geがイオン注入されることによって光吸収量が増大する。この結果、エクステンション領域10, 11およびソース・ドレイン領域18, 19の不純物の活性化が効率良く行われる。これにより、不純物の活性化に必要な照射エネルギーを低減させることができる。ひいては、Si基板1中に熱応力が発生するおそれをさらに抑制して、生産歩留まりを向上させることができる。また、良質な浅いソース・ドレイン拡散層10, 11および良質な深いソース・ドレイン拡散層18, 19を効率良く容易に形成して、品質および信頼性が向上されたCMOSトランジスタ20を設けることができる。

#### 【0049】

また、レーザーニードル法では、基板にダメージを与えずに光源のエネルギーを基板に均一に吸収するために、図示は省略するが、例えばpoly-Si膜、Ti膜、あるいはTiN膜等の光吸収膜を基板上に設ける技術が従来から知られている。しかしながら、この方法は、光源から照射されるエネルギーを光吸収膜に一旦吸収させた後、そのエネルギーを下地の膜あるいは基板に熱伝導させて加熱するものである。このため、エネルギーの伝達にロスが多く、過剰なエネルギーが必要となるので、効率的な加熱処理を行うことが困難である。また、アニール終了後、役目を終えた光吸収膜を基板から剥離させる必要があるため、工程数の増加に繋がる。さらに、仮に基板からの光吸収膜の剥離工程が適正に実行されず、膜残りやオーバーエッチングなどが生じた場合には、その基板を備える製品の品質や信頼性の劣化を招くおそれがあり。

#### 【0050】

これに対して、本実施形態では、シリコン基板1等に加熱処理を施すのに先立って、Geをシリコン基板1等に全面的にイオン注入する。Geは電気的に不活性であるため、他の物質の電気特性に悪影響を及ぼす心配が殆ど無い。それとともに、Geのイオン注入工程を、不純物拡散領域へ不純物をイオン注入する際の

プリアモルファス化工程として、そのまま適用することができる。すなわち、本実施形態によれば、レーザーアニール法においても効率的な加熱処理を行うことが可能となり、光源の照射エネルギーを節約することができる。それとともに、浅い不純物拡散領域における不純物の適正なプロファイルを、容易に得ることができる。

### 【0051】

このように、本実施形態によれば、加熱用の光源の種類に拘らず、転位、欠陥、スリップ、クラック、モフォロジー劣化、および溶融等のダメージを半導体基板1に殆ど与えること無く光線を用いる加熱処理を行って、基板1内に浅い不純物拡散層を高濃度で形成することができる。ひいては、基板1上に設けられるデバイス特性の面内均一性の改善、およびデバイスの製造プロセスの安定化などを図って、次世代LSIの性能を十分に発揮させることができる微細なMOSトランジスタを、容易に製造することができる。

### 【0052】

以上説明したように、この一実施形態によれば、光線を用いる加熱処理を行うのに先立って、シリコン基板1およびその上に設けられている様々な異種材料に、シリコン基板1の導電型および導電率に影響を及ぼすおそれが殆ど無い、電気的に不活性なGeを全面的にイオン注入する。これにより、シリコン基板1等の電気的特性を劣化させることなく、各種のデバイスパターン等を構成している複数の膜等の表層部における光の吸収係数を略均一化できる。この結果、各種素子の疎密などによる加熱むらや、そのような加熱むらにより発生する熱応力を抑制することができる。また、半導体基板1等の表層部は、電気的に不活性な不純物がドーピングされることによって、光吸収量すなわち光りの吸収効率が増大する。これにより、電気的に活性な不純物を活性化させる際に必要な光源の照射エネルギーを低減させることができる。この結果、半導体基板1内に熱応力が発生するおそれをさらに抑制して、半導体基板1を具備する半導体装置の品質、信頼性、および生産歩留まりを向上させることができる。

### 【0053】

また、この一実施形態によれば、半導体基板1等のアニール処理を効率良く行

うことができるので、プロセスウィンドウを広げることができる。すなわち、半導体基板1への加熱処理を含めた半導体装置の製造プロセスを安定化させることができます。さらに、電気的に活性な不純物を十分に活性化させて半導体素子の電気特性のばらつきを抑制できるとともに、半導体素子の微細化も容易になる。これにより、高性能、高品質、かつ信頼性が高いCMOSトランジスタ20を高い集積度で製造することができる。

#### 【0054】

このように、本実施形態に係る半導体装置は、これが備える半導体基板に熱応力による変形や損傷が生じたり、加熱むらによる品質劣化が生じたりするおそれがあつて無くされているとともに、半導体基板等の電気的特性の劣化が殆ど無いので、品質、信頼性、および歩留まりが向上されている。また、本実施形態に係る半導体装置の製造方法によれば、半導体基板等の電気的特性が劣化されたり、半導体基板に熱応力による変形や損傷が生じたり、あるいは半導体基板に加熱むらによる品質劣化が生じたりするおそれを殆ど無くして、品質、信頼性、および歩留まりが向上された半導体装置を容易に製造することができる。さらに、良質な浅いソース・ドレイン拡散層10, 11および良質な深いソース・ドレイン拡散層18, 19を効率良く容易に形成して、品質および信頼性が向上されたCMOSトランジスタ20を具備するとともに、歩留まりが向上された半導体装置を効率良く容易に製造することができる。

#### 【0055】

なお、本発明に係る半導体装置およびその製造方法は、前述した一実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成または工程などの一部を種々様々な設定に変更したり、あるいはそれらの構成や工程などを適宜、適当に組み合わせて用いたりして実施することができる。

#### 【0056】

例えば、前述した一実施形態では、深いソース・ドレイン拡散層18, 19を形成する際に、基板予備加熱温度を約400℃に設定した。それとともに、Xeフラッシュランプの照射エネルギー密度を約35J/cm<sup>2</sup>に設定してアニール処理を行い、不純物を活性化させた。しかし、この場合の基板予備加熱温度およ

び照射エネルギー密度は、その値には限定されない。本発明者らが行った実験によれば、基板予備加熱温度が約600℃以下、かつ、照射エネルギー密度が約100J/cm<sup>2</sup>以下であれば、基板予備加熱温度および照射エネルギー密度を適宜、適正な温度に設定しても、前述した一実施形態と同等の効果を得ることができることが分かっている。この際、フラッシュランプのパルス幅（発光時間、照射時間）も、約1msには限定されない。フラッシュランプのパルス幅は、約100ms以下であれば適宜、適正な値に設定しても、前述した一実施形態と同等の効果を得ることができることが分かっている。

### 【0057】

ただし、本発明者らが行った実験によれば、基板予備加熱温度を約200～550℃、フラッシュランプの照射エネルギー密度を約10～60J/cm<sup>2</sup>の範囲内に設定すると、より良い効果を得ることができることが分かっている。具体的には、基板予備加熱温度を約550℃以下に設定することにより、アモルファス状態である不純物注入領域がフラッシュランプの照射前に中途半端に結晶化するのを抑制することができる。これにより、不純物注入領域内の残留欠陥の発生を防ぐことができる。また、基板予備加熱温度を200℃以下に設定すると、不純物を十分に活性化させるために約60J/cm<sup>2</sup>以上の照射エネルギー密度が必要となる。すると、Si基板1内に熱によるダメージが発生し易くなる。したがって、基板予備加熱温度を約200℃以上に設定することにより、Si基板1内に熱によるダメージが発生するおそれを殆ど無くすことができる。その上で、フラッシュランプの照射エネルギー密度を約10～60J/cm<sup>2</sup>内に設定することにより、熱によるSi基板1内のダメージ発生を防ぐことができるとともに、フラッシュランプの寿命劣化を抑制することができる。

### 【0058】

また、半導体基板1の予備加熱は、前述したホットプレートより行う必要は無い。例えば、各種加熱ランプ、あるいはレーザー光線などを用いても、ホットプレートと同様の効果を得ることができる。この際、加熱ランプとしては、例えば水素ランプ、キセノンランプ、あるいはハロゲンランプなどを用いることができる。

### 【0059】

また、電気的に不活性な第1の不純物は、電気的に活性な第2の不純物（導電型を決定する不純物）をシリコン基板1にイオン注入する前に、シリコン基板1に全面的にイオン注入されるとは限らない。第2の不純物を活性化させる加熱処理を施す前であれば、第2の不純物をシリコン基板1にイオン注入した後に、第1の不純物をシリコン基板1に全面的にイオン注入しても、前述した一実施形態と同等の効果を得ることができる。また、第1の不純物のイオン注入は、1回の加熱処理に対して1回行うとは限らない。1回の加熱処理に対して、第1の不純物を複数回イオン注入することにより、前述した一実施形態と同等もしくはそれ以上の効果を得ることができる。また、第1の不純物は、Geには限定されない。電気的に不活性な第1の不純物としては、例えばC、Si、Sn、あるいはPb等、IV-B族の元素のうち少なくとも1種類の元素を用いれば、前述した一実施形態と同等の効果を得ることができる。また、第1の不純物のイオン注入を複数回行う場合、IV-B族の元素のうち少なくとも1種類の元素であれば、各回ごとに注入する不純物の種類を変えても前述した一実施形態と同等の効果を得ることができる。

### 【0060】

また、電気的に不活性な第1の不純物をシリコン基板1にイオン注入する際の濃度は、前述した $1 \times 10^{19} \text{ cm}^{-3}$ 以上には限られない。シリコン基板1の表層部をアモルファス化できる濃度であれば、より高い濃度に設定しても構わない。本発明者らが行った実験によれば、第1の不純物をシリコン基板1にイオン注入する際の濃度を、前述した $1 \times 10^{20} \text{ cm}^{-3}$ 以上に設定することにより、シリコン基板1の表層部をより良質なアモルファス状態にできることが分かっている。なお、第1の不純物をシリコン基板1にイオン注入する際の加速条件は、pn接合のリーク特性を劣化させない範囲であれば適宜、適正な値に設定して構わない。

### 【0061】

また、前述した一実施形態では、シリコン基板1上にCMOSトランジスタ20を設ける場合を例に挙げて説明したが、それだけには限られない。例えば、シ

リコン基板1上にnMOSトランジスタ20aのみを設ける場合には、導電型を考慮する必要が無い。この場合、電気的に活性な不純物であるAsやP等のV-B族の元素のうち少なくとも1種類の元素のみをシリコン基板1に全面的にイオン注入しても構わない。また、シリコン基板1上にpMOSトランジスタ20bのみを設ける場合にも、導電型を考慮する必要が無い。この場合、電気的に活性な不純物であるB等のIII-B族の元素のうち少なくとも1種類の元素のみをシリコン基板1に全面的にイオン注入しても構わない。これらのように、導電型を考慮する必要が無い場合、導電型が同じであれば、電気的に活性な不純物をシリコン基板1に全面的にイオン注入しても、前述した一実施形態と同等の効果を得ることができる。

### 【0062】

また、前述した一実施形態において、nMOS領域1aに注入されるn型不純物となる元素は、AsやPには限られない。n型不純物として、V-B族の元素のうち少なくとも1種類の元素を用いれば、前述した一実施形態と同等の効果を得ることができる。同様に、pMOS領域1bに注入されるp型不純物となる元素は、Bには限られない。p型不純物として、III-B族の元素のうち少なくとも1種類の元素を用いれば、前述した一実施形態と同等の効果を得ることができる。

### 【0063】

また、浅いソース・ドレイン拡散層10, 11を形成する際のアニール工程は、前述したフラッシュランプアニールには限定されない。フラッシュランプの代わりに、ハロゲンランプを用いたRTA処理でも前述した一実施形態と同等の効果を得ることができる。また、本発明者らが行った実験によれば、浅いソース・ドレイン拡散層10, 11を形成する際のアニール条件として、基板温度を900℃以下に、加熱時間を10秒以下に設定すると、より良質な拡散層10, 11を形成できることが分かっている。これは、シリコン基板1を短時間で高温に加熱することにより、不純物元素が基板1の深い位置まで拡散されること無く活性化されるとともに、不純物領域10, 11中の結晶欠陥が回復されるためであると考えられる。

### 【0064】

また、前述した一実施形態では、加熱光源（アニール装置）としてXeフラッシュランプを使ったフラッシュランプアニール法について説明したが、これに限定されるものでは無い。加熱光源としては、例えば水銀ランプ、水素ランプ、メタルハライドランプ、希ガスランプ、エキシマレーザー、あるいはYAGレーザー等、近赤外領域から紫外領域に亘って発光する光源を用いることができる。また、従来のハロゲンランプを加熱光源として用いることはもちろんである。

### 【0065】

さらに、前述した一実施形態では、浅いソース・ドレイン拡散層10, 11、すなわちエクステンション領域10, 11の形成と、深いソース・ドレイン拡散層18, 19の形成とを例に挙げて説明したが、これらに限定されるものでは無い。本発明は、チャネル領域の形成やゲート酸化膜の形成、あるいは極めて短時間の加熱処理が必要な、その他の様々な加熱工程にも十分に適用可能であるのはもちろんである。

### 【0066】

#### 【発明の効果】

本発明の一態様に係る半導体装置の製造方法によれば、半導体基板に光による加熱処理を施すのに先立って、電気的に不活性な第1の不純物を半導体基板に全面的に注入する。これにより、半導体基板等の電気的特性が劣化されたり、熱応力による変形や損傷が生じたり、あるいは加熱むらによる品質劣化が生じたりするおそれを殆ど無くして、半導体基板に光による加熱処理を施すことができる。したがって、本発明の一態様に係る半導体装置の製造方法によれば、電気的特性が殆ど劣化されること無く、加熱処理に用いられる光の吸収効率の向上および均一化が図られ、加熱むらや熱応力の発生を抑制されて光による加熱処理が施された半導体基板を具備し、品質、信頼性、および歩留まりが向上された半導体装置を効率良く容易に製造できる。

### 【0067】

また、本発明の他の態様に係る半導体装置の製造方法によれば、半導体基板に

光による加熱処理を施してソース・ドレイン拡散層を形成するのに先立って、電気的に不活性な第1の不純物を半導体基板に全面的に注入するとともに、半導体基板の所定の領域に電気的に活性な第2の不純物を注入する。これにより、半導体基板等の電気的特性が劣化されたり、熱応力による変形や損傷が生じたり、あるいは加熱むらによる品質劣化が生じたりするおそれを殆ど無くして、光による加熱処理により良質なソース・ドレイン拡散層を効率良く容易に形成することができる。したがって、本発明の他の態様に係る半導体装置の製造方法によれば、電気的特性が殆ど劣化されること無く、加熱処理に用いられる光の吸収効率の向上および均一化が図られて加熱むらや熱応力の発生を抑制された半導体基板に、光による加熱処理により良質なソース・ドレイン拡散層を効率良く容易に形成して、品質および信頼性が向上されたトランジスタを具備するとともに、歩留まりが向上された半導体装置を効率良く容易に製造できる。

#### 【0068】

また、本発明の他の態様に係る半導体装置においては、これが備える半導体基板に電気的に不活性な第1の不純物が半導体基板に全面的に注入されて、半導体基板の光の吸収係数や屈折率が全面的に略均一化された後、半導体基板に加熱処理が施されている。すなわち、半導体基板等の電気的特性が劣化されたり、熱応力による変形や損傷が生じたり、あるいは加熱むらによる品質劣化が生じたりするおそれを殆ど無くされて、半導体基板に光による加熱処理が施されている。したがって、本発明の一態様に係る半導体装置は、電気的特性が殆ど劣化されること無く、加熱処理に用いられる光の吸収効率の向上および均一化が図られ、加熱むらや熱応力の発生を抑制されて光による加熱処理が施された半導体基板を具備し、品質、信頼性、および歩留まりが向上されている。

#### 【0069】

さらに、本発明の他の態様に係る半導体装置においては、これが備える半導体基板に電気的に不活性な第1の不純物が全面的に注入されるとともに、所定の導電型を有する電気的に活性な第2の不純物が注入された後、光による加熱処理が施されて第2の不純物が活性化され、ソース・ドレイン拡散層が形成されている。すなわち、半導体基板等の電気的特性が劣化されたり、熱応力による変形や損

傷が生じたり、加熱むらによる品質劣化が生じたりするおそれを殆ど無くされ  
て、光による加熱処理により良質なソース・ドレイン拡散層が形成されている。し  
たがって、本発明の他の態様に係る半導体装置は、電気的特性が殆ど劣化される  
こと無く、加熱処理に用いられる光の吸収効率の向上および均一化が図られて加  
熱むらや熱応力の発生を抑制された半導体基板に、光による加熱処理により良質  
なソース・ドレイン拡散層が形成されて、品質および信頼性が向上されたトラン  
ジスタを具備するとともに、歩留まりが向上されている。

#### 【図面の簡単な説明】

【図1】 一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図2】 一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図3】 一実施形態に係る半導体装置の製造方法を示す工程断面図。

【図4】 従来技術に係る加熱処理が施された比較例としてのシリコン基板  
の断面を示すTEM写真。

【図5】 一実施形態に係る基板予備加熱温度とフラッシュランプの照射エ  
ネルギー密度との関係における適正なプロセス条件を示す図。

【図6】 比較例に係る基板予備加熱温度とフラッシュランプの照射エネル  
ギー密度との関係における適正なプロセス条件を示す図。

#### 【符号の説明】

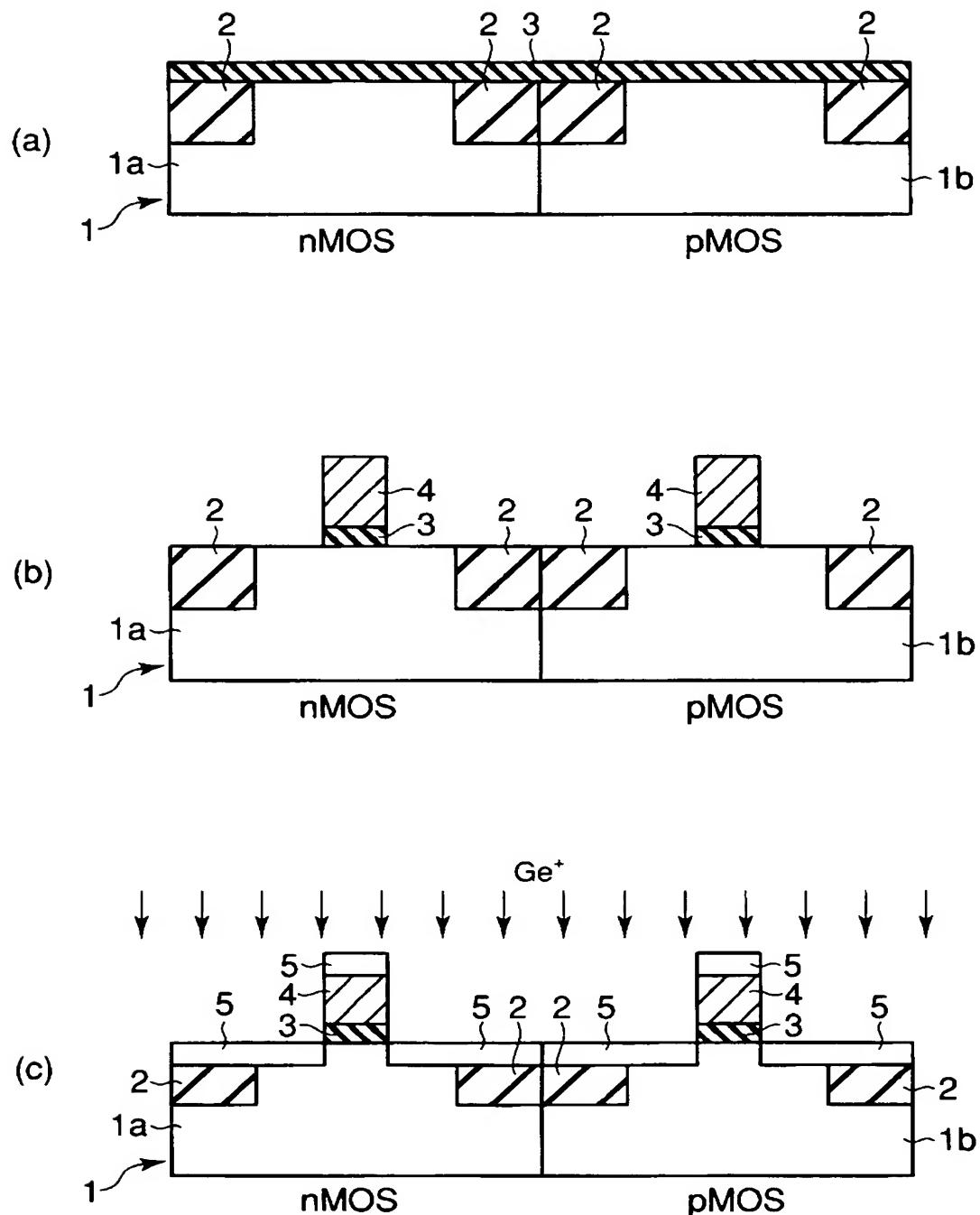
1…シリコン基板（半導体基板）、3…ゲート絶縁膜（シリコン酸化膜、SiO<sub>2</sub>膜）、4…ゲート電極（多結晶シリコン膜、ポリシリコン膜）、7…n型の浅い不純物領域（ゲート電極に隣接する領域）、9…p型の深い不純物領域（ゲート電極に隣接する領域）、10…n型の浅いソース・ドレイン拡散層（n型のエクステンション領域）、11…p型の浅いソース・ドレイン拡散層（p型のエクステンション領域）、12…シリコン窒化膜（SiN膜、ゲート側壁膜）、13…シリコン酸化膜（SiO<sub>2</sub>膜、ゲート側壁膜）、14…ゲート側壁膜（側壁スペーサ）、16…n型の深い不純物領域（ゲート側壁膜に隣接する領域）、17…p型の深い不純物領域（ゲート側壁膜に隣接する領域）、18…n型の深いソース・ドレイン拡散層、19…p型の深いソース・ドレイン拡散層、20…CMOSトランジスタ、20a…nMOSトランジスタ、20b…pMOSトランジ

スタ

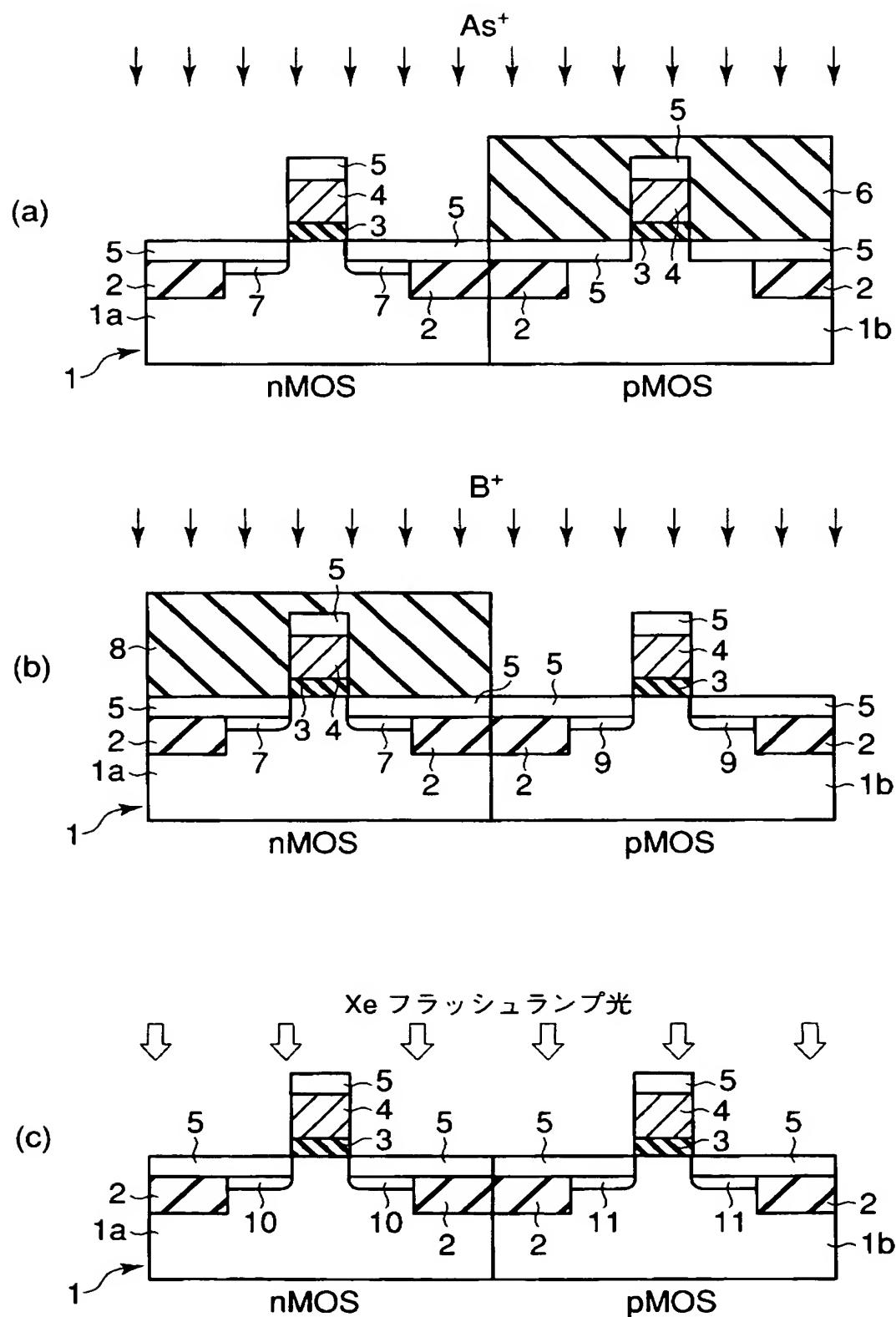
出証特2003-3076354

## 【書類名】 図面

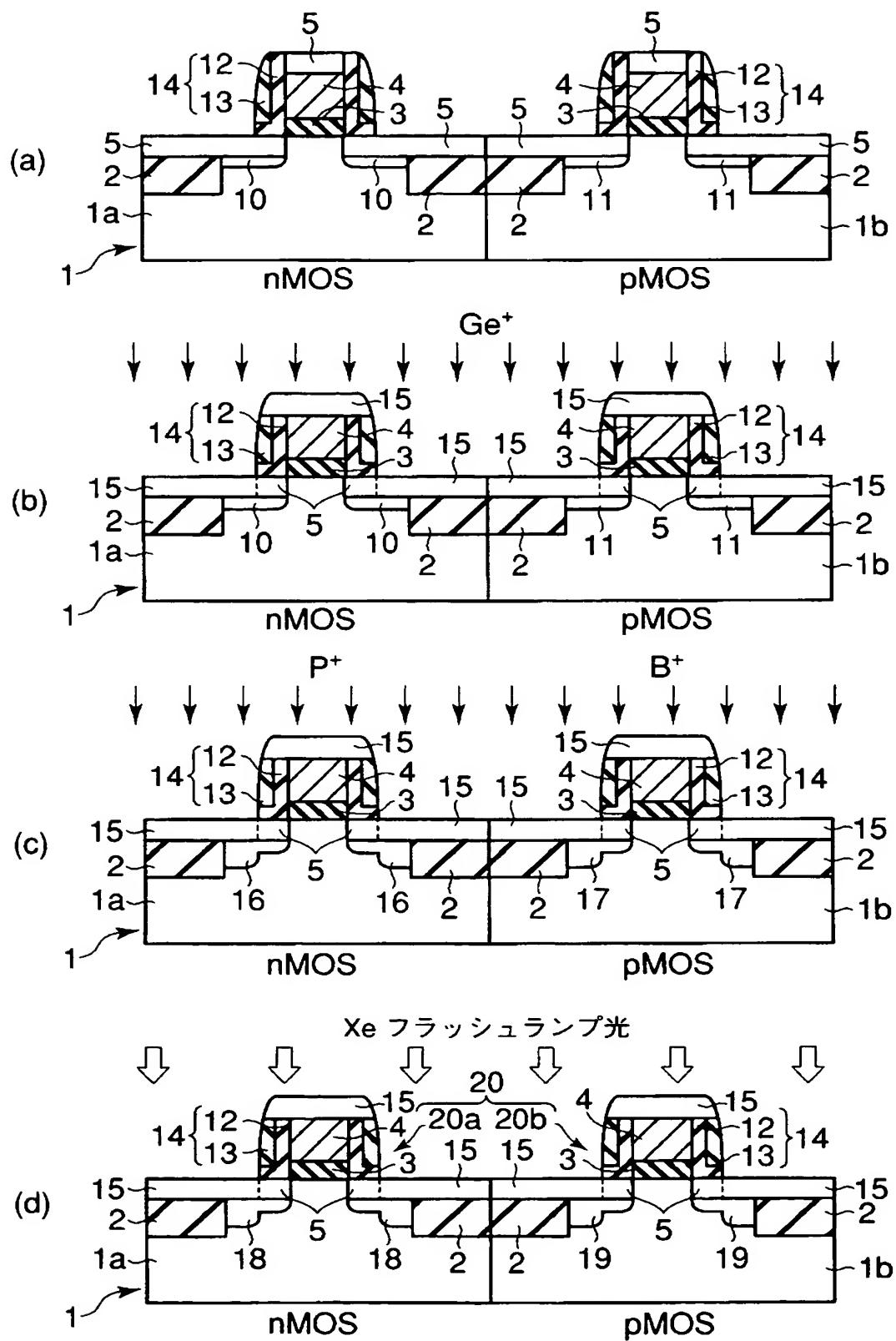
【図 1】



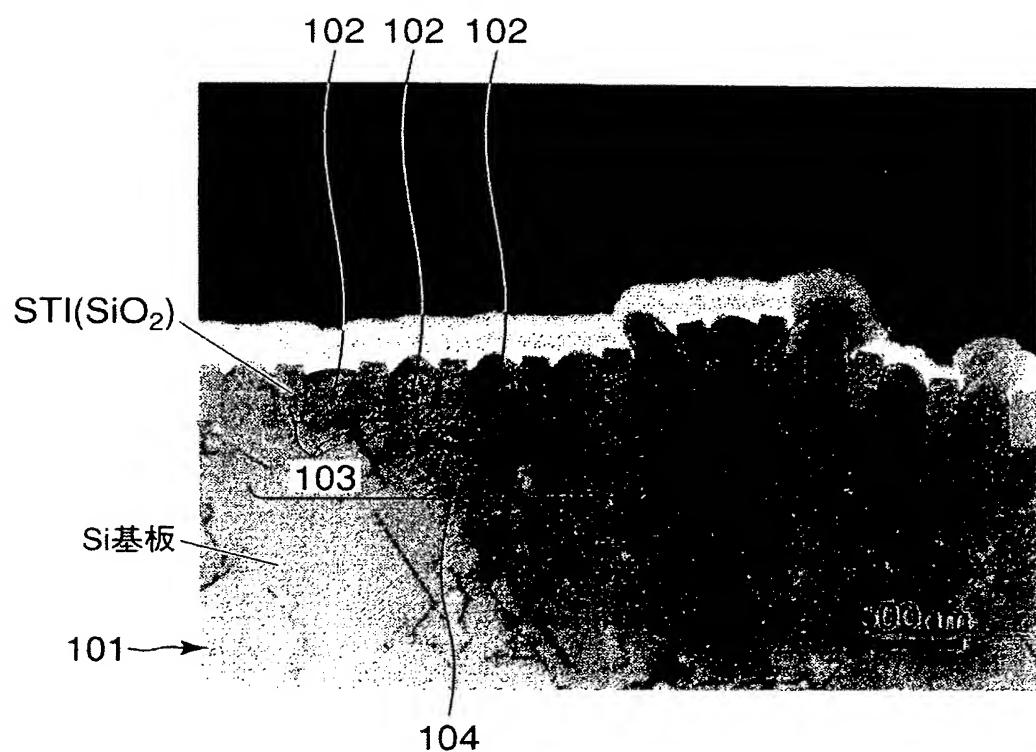
【図2】



【図3】

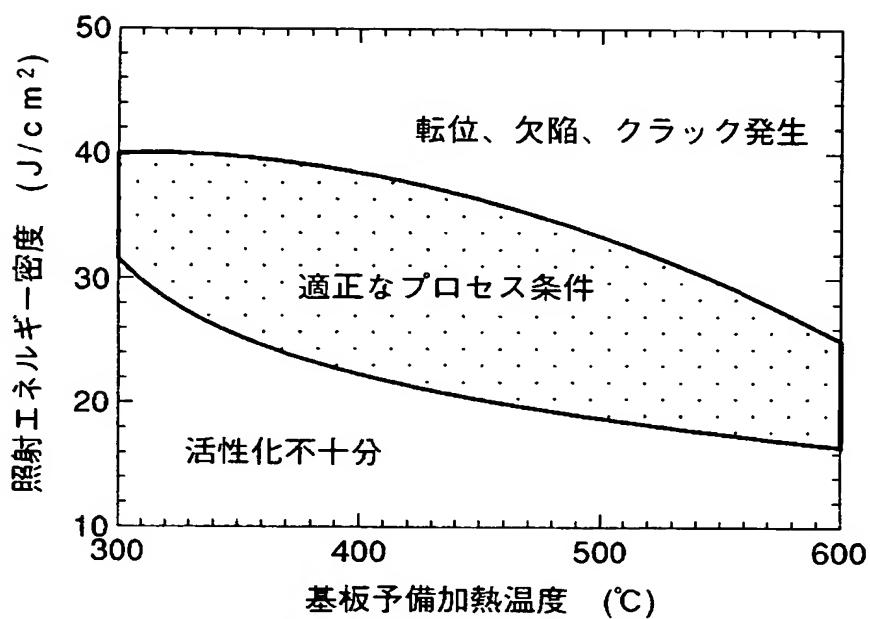


【図 4】

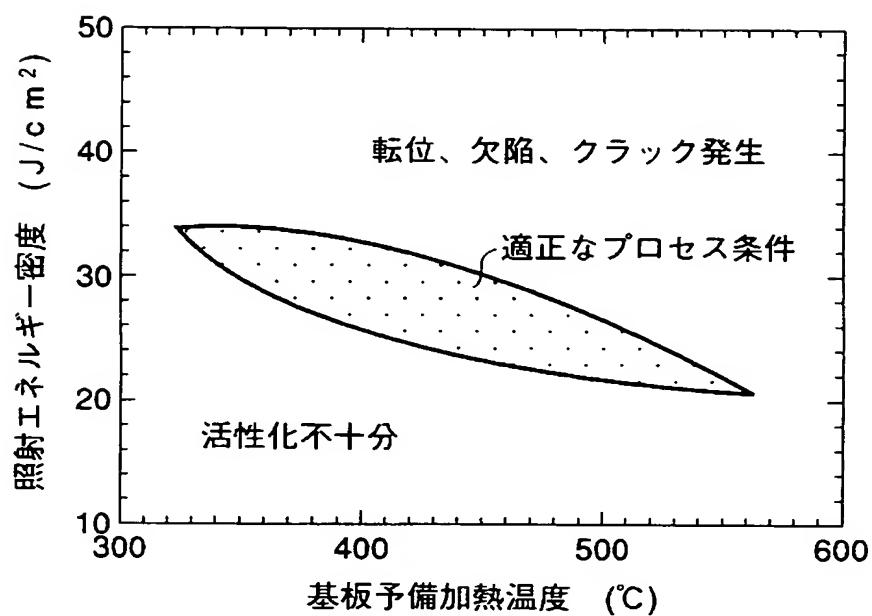


Active area と STI の Line/space パターン

【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 加熱処理に用いられる光の吸収効率の向上および均一化が図られて、加熱むらや熱応力の発生を抑制された半導体基板を具備してなり、品質、信頼性、および歩留まりが向上された半導体装置を提供する。

【解決手段】 半導体基板1の表層部に、電気的に不活性な第1の不純物を全面的に注入した後、キセノンフラッシュランプによる加熱処理を施す。

【選択図】 図1

特願 2003-209618

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝